

IPW

Attorney Docket No.: BHT-3111-404

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

Tsang-Chi KAN et al.

Application No.: 10/760,309

Filed: January 21, 2004

Group Art Unit: 2825

Examiner: Not Yet Assigned

For: **INTEGRATED CIRCUIT STRUCTURE AND A DESIGN METHOD THEREOF**

CLAIM TO PRIORITY UNDER 35 U.S.C. § 119

Assistant Commissioner of Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Pursuant to the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55, Applicant claims the right of priority based upon **Taiwanese Patent Application No. 092119907 filed July 22, 2003.**

A certified copy of Applicant's priority document is submitted herewith.

Respectfully submitted,

By:

Bruce H. Troxell
Reg. No. 26,592

TROXELL LAW OFFICE PLLC
5205 Leesburg Pike, Suite 1404
Falls Church, Virginia 22041
Telephone: (703) 575-2711
Telefax: (703) 575-2707

Date: January 7, 2005



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder

申請日：西元 2003 年 07 月 22 日
Application Date

申請案號：092119907
Application No.

申請人：揚智科技股份有限公司
Applicant(s)

局長
Director General

CERTIFIED COPY OF
PRIORITY DOCUMENT

蔡練生

發文日期：西元 2004 年 1 月
Issue Date

發文字號：09320056650
Serial No.

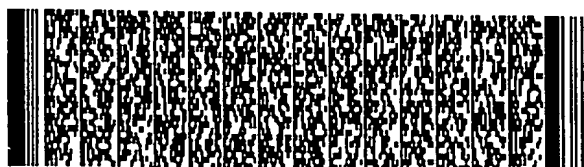


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	一種積體電路結構與設計方法
	英 文	
二、 發明人 (共3人)	姓 名 (中文)	1. 甘滄棋 2. 陳玟伶 3. 劉旻智
	姓 名 (英文)	1. 2. 3.
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 台北縣新莊市中正路347巷35號9樓 2. 台南市東區東安路76巷13號1樓 3. 台北市八德路四段106巷3-2號3樓
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 揚智科技股份有限公司
	名稱或 姓 名 (英文)	1.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北市內湖路一段246號2樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 呂理達
	代表人 (英文)	1.



四、中文發明摘要 (發明名稱：一種積體電路結構與設計方法)

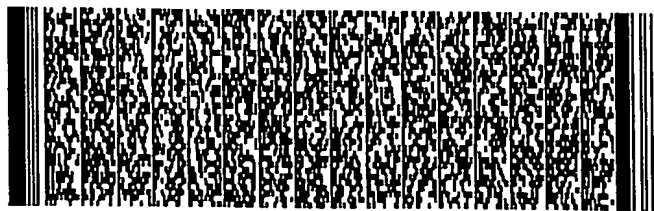
一種積體電路結構與設計方法，係在電路設計時在電路元件端點就設置有電路通道，不但在電路模擬階段可以增加佈局的彈性，更在下線後需要更改線路佈局時，可以簡化佈局難度並且使改變的金屬層最少，意即改變光罩數最小。由於晶圓廠的計費是根據光罩層數、數量而非以光罩的設計，所以利用本發明不會增加下線時的支出，並且可以在修改時節省研發成本。

五、(一)、本案代表圖為：第圖三圖

(二)、本案代表圖之元件代表符號簡單說明：

11、12-節點	21-第一金屬層
22-第二金屬層	23-第三金屬層
24-第四金屬層	31-第一絕緣層
32-第二絕緣層	33-第三絕緣層
34-第四絕緣層	41、42-連接線

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：一種積體電路結構與設計方法)

51- 第一金屬層與第二金屬層的層間引洞

52- 第二金屬層與第三金屬層的層間引洞

53- 第三金屬層與第四金屬層的層間引洞

71、72- 電路通道

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

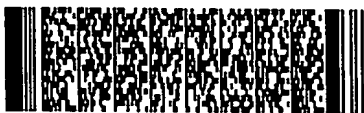
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

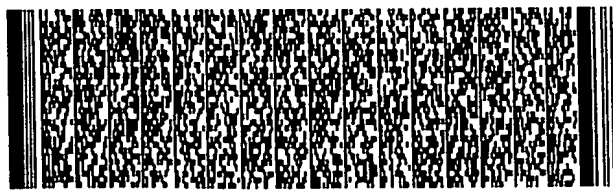
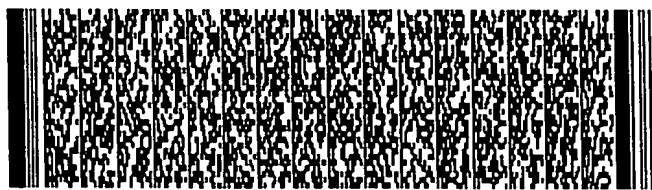
【發明所屬之技術領域】

本發明是關於一種積體電路結構與佈局設計方法，尤指一種預置電路通道以減少未來修改幅度的積體電路結構與佈局設計方法。

【先前技術】

隨著科技的發展，人們對通信產品如手機，或是行動產品如個人數位助理(Personal Digital Assistant, PDA)也愈要求其輕薄短小的特性，也因此可以滿足這些要求的積體電路(integrated circuit, IC)的應用也就愈來愈廣泛。積體電路乃是將電路立體化以減少面積使用的一種方式，經常在各式各樣的應用中發現它的存在。

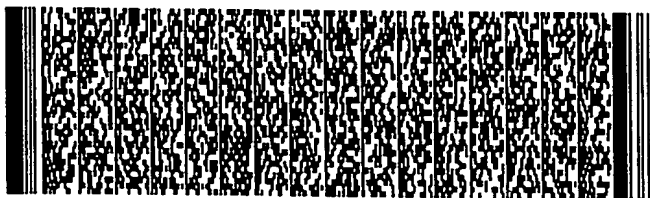
請參閱圖一，此為積體電路的設計流程圖。就跟軟體設計一樣，即使完成原始碼(source code)的寫作，並經編譯器(compiler)編譯成可以執行(run)的狀態，但很少有程式可以第一次執行就能達到設計者的目的。設計者首先需要依照需求設計電路，並且將相關元件佈局連接。之後，藉由電腦輔助做電路的模擬，找出連接錯誤或是設計不當的地方，並加以改正。在反覆模擬確認沒有問題且符合設計目的後，進行下線(tape out)的步驟。下線是指將設計的電路交由晶圓廠生產。接著將下線後的產品拿回作實際測試，以驗證該晶片的電路特性，並依照測試結果是否符合設計目的，來檢討原先的電路設計，如有不合或缺陷就重新回到設計的步驟修改，如果符合就可照生產的設



五、發明說明 (2)

計電路量產。

然而，下線後產品的修正費用是相當驚人的。請參閱圖二，此為傳統積體電路之電路修改示意圖。積體電路包括有一基板(Substrate)1，基板藉由半導體製程長了許多的如FET，CMOS等電路元件，以及複數個金屬層(Metal)，金屬層作為電路元件連線佈局(layout)使用，金屬層間許多絕緣層(isolation layer)：第一絕緣層31、第二絕緣層32、第三絕緣層33、第四絕緣層34，用以作金屬層的電性絕緣，也就是說，金屬層金屬層間是互不導通的。前述的電路元件端點通常拉到第一金屬層(Metal 1, M1)21以供電路佈局(layout)使用。由於消費者所要求的功能日多，電路也隨之龐大，電路元件的數量動輒以百萬為計數單位，因此不太可能由人工一一完成。為了加快設計流程，通常會採用「模組化」的方法，就是常用功能的元件，事前加以組合成一固定形式，設計時就可以直接利用而無須重新設計。這樣的組合稱之為標準元件(Standard Cell)。通常，會將這些標準元件集合起來組合成所謂的標準元件庫(Standard Cell Library)，以供設計者利用。根據統計，IC設計中常用的標準元件約佔一個智慧財產權元件(Intellectual Property) 90%以上，因此在一個財產權元件資料庫(Intellectual Property Library, IP Library)中，標準元件是相當常見的。特別要說明的是，IP原意為智慧財產權，在半導體產業中引伸為經過設計、驗證，具備特定功能的積體電路設計，亦稱之為矽智

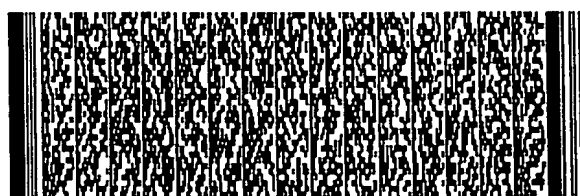


五、發明說明 (3)

產。此外，由於積體電路元件數量眾多，連線就更錯綜複雜，所以不可能由人工一條一條連接，通常是由設計軟體根據佈局演算法代勞。因此要修改電路設計時，必須繞過這些盤根錯節的連接線。由於新增加連線比切斷既有的連線困難，故說明以討論新增連線為主。

請繼續參閱圖二。本實施例之積體電路標準元件共有四層金屬層：第一金屬層21、第二金屬層22、第三金屬層23、第四金屬層24，通常標準元件的佈局只會利用到第一金屬層，但可能基於電路除錯或是變更設計的要求，需要將X節點11與Y節點12連接，然而第一金屬層21及第二金屬層22已經被其他連接線41、42所使用，無法以直接連接達成目的，因此必需借道其他金屬層，而第三金屬層23亦有被連接線43所使用，所以必需就如圖所示，上上下下找路來達成連接目的。請注意，本實施連接線阻擋X節點11與Y節點12連接只是示意，實際上連接線在第一金屬層21及第二金屬層22的連接線是錯綜複雜，而使X節點11與Y節點12無法直接達到連接目的，合先述明。

因此就必須利用各金屬層來連接X節點11與Y節點12的目的。在電路設計時，就需要將連線從第一金屬層21的X節點出發，經過第二金屬層22、第三金屬層23，再往下拉回到第二金屬層與在第一金屬層的Y節點連接。然而在實際生產時，積體電路要利用變更光罩(mask)來改變線路，又由於金屬層間互相絕緣，所以必需在隔離層打洞，即所謂層間引洞(via)。因此這樣的設計，因此需要改變第一



五、發明說明 (4)

金屬層21、第一金屬層21及第二金屬層22間的層間引洞51、第二金屬層22、第二金屬層22及第三金屬層23間的層間引洞52，及第三金屬層23共五層的光罩。而晶圓廠收費的方式就是照變更的光罩數收費，通常變更一個光罩收費約50萬元，以上述實施例而言，只增加一條這樣的連接線，需要改變5個光罩，就要收費250萬元！相當地驚人。而且佈局的設計與線路光罩的重製也需要時間，因此必須尋找一個新的方法來減少研發與時間的成本，以增加競爭力。

【發明內容】

本發明的主要目的是提供一種可變更佈局時可改變最小的積體電路結構與設計方法。

本發明的次要目的是提供一種可節省研發成本與時間的積體電路結構與設計方法。

為達上述目的，本發明提供一種積體電路 (integrated circuit, IC) 結構，係利用在一標準元件 (Standard Cell) 中，包括有：

一基板(Substrate)，包括有複數個電路元件；以及 m 層金屬層(Metal)，在該基板之上，作為電路元件連線佈局(layout)使用，每一金屬層更包括一絕緣層(isolation layer)，使金屬層間電性絕緣；

其特徵在於至少有一電路元件之一端點有一電路通道，其中，該電路通道係由基板開始延伸 n 個金屬層，其



五、發明說明 (5)

中 n 大於 1 且 n 小於 $m+1$ ，使各金屬層之任一連接線可利用該電路通道與該端點連接。

以及一種積體電路(integrated circuit, IC)設計方法，係利用於一標準元件(Standard Cell)中元件間的連接，該積體電路包括有一基板(Substrate)，該基板更包括有複數個電路元件； m 層金屬層(Metal)，在該基板之上，作為電路元件連線佈局(layout)使用，每一金屬層更包括一絕緣層，使金屬層間電性絕緣；該方法包括有以下步驟：

在一電路元件的一端點設置一電路通道，該電路通道係由基板開始至少連通兩層金屬層；以及

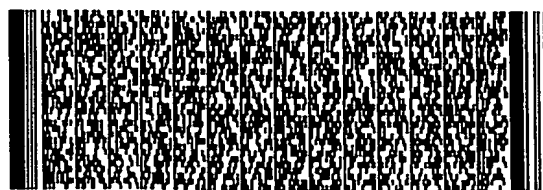
將需要與端點電性連接的線，藉由該電路通道連接到該端點。

【實施方式】

為使貴審查委員能對本發明之特徵、目的及功能有更進一步的認知與瞭解，茲配合圖式詳細說明如後：

本發明的精神在於電路模擬階段的時候，在電路元件的端點預置所謂的「電路通道」，當需要變更電路的連接設計時，就可以儘量使用同一金屬層，以達到修改光罩數最少的目的。

請參閱圖三，此為本發明積體電路之電路修改示意圖。本發明提供一種積體電路(integrated circuit, IC)結構，包括有：



五、發明說明 (6)

一基板(Substrate)1，積體電路放置電路元件的地方，係利用半導體製程長出所需元件如FET、CMOS等，通常會包括有複數個電路元件；

m層金屬層(Metal)，在該基板之上，作為電路元件連線佈局(layout)使用，通常電路元件的每一個端點都會突出到第一金屬層，以方便與其他元件連接。每一金屬層更包括一絕緣層(isolation layer)，使金屬層間電性絕緣；

本發明的特徵在於電路元件的端點設置一電路通道，以連通不同的金屬層，其中，該電路通道係由基板開始往上延伸n個金屬層，n為大於1且n小於m+1之整數（也就是 $1 < n \leq m$ ），使得在這n個金屬層中，可直接與該電路通道連接就可達到與該電路元件的端點連接的目的。在一實施例中，電路通道連接第一金屬層與第二金屬層這樣就可以達到本發明所述的目的。在另一實施例中，電路通道連接第一金屬層、第二金屬層與第三金屬層。當然，電路通道可連通所有的金屬層，也就是說n值等於m值。

由於電路通道必須將不同金屬層導通，所以電路通道在隔離層就會包括有複數個層間引洞，來達成連通的目的。如圖三所示之電路通道就由第一金屬層21、第二金屬層22、第三金屬層23，及第四金屬層24以及連通第一金屬層與第二金屬層的層間引洞51、連通第二金屬層與第三金屬層的層間引洞52及連通第三金屬層與第四金屬層的層間引洞53所構成。如該圖所述之狀況，當X節點11與Y節點12



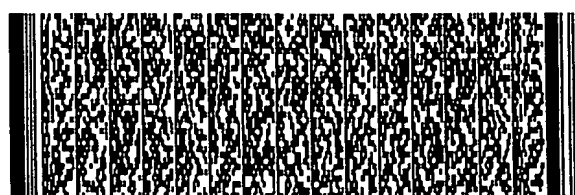
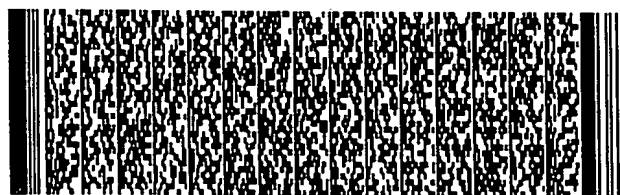
五、發明說明 (7)

需要連接，而第一金屬層21、第二金屬層22又無法提供適當路徑時，利用本發明可在第三金屬層23或是第四金屬層24直接連接X節點11的電路通道71與Y節點12的電路通道72即可，而無需如圖二之所述，要將連接線從低層拉到高層在拉回低層去。如此本發明之作法，除了並更佈局設計時更有彈性外，而且只需變更一層光罩（第三金屬層23），更是大大地減少改變光罩所需的花費。請注意，本實施例X節點11與Y節點12直接連接只是示意，實際上在第三金屬層23的連接有可能蜿蜒而曲折的，合先述明。

本發明也提供一種佈局設計方法，係利用於一標準元件中元件間的連接，該積體電路包括有一基板1，該基板1更包括有複數個電路元件；m層金屬層，在該基板之上，作為電路元件連線佈局使用，每一金屬層更包括一絕緣層，使金屬層間電性絕緣；本發明方法包括有以下步驟：在一電路元件的一端點設置一電路通道，該電路通道係由基板開始至少連通兩層金屬層；

將需要與端點電性連接的線，藉由該電路通道連接到該端點。

請參閱圖四，此為本發明另一具體實施例，將本發明與傳統連線技術作一比較。本實施例為一五金屬層的積體電路。如圖四A所示，本實施例有四個元件端點A、B、C、D，要連接A點與D點，傳統技術很可能需要在各金屬層間上上下下找路，除了使線路可讀性差，也會增加再修改的難度。請參閱圖四B，利用本發明就不同了，請注意，本

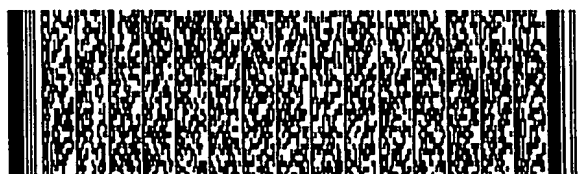
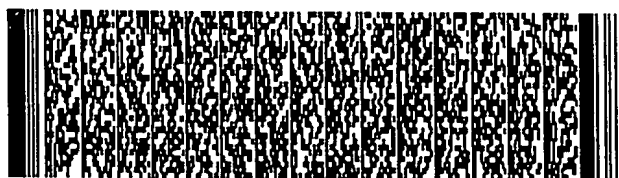


五、發明說明 (8)

實施例的電路通道73、74、75、76只建到第四金屬層24，本實施例中可以在第五金屬層25輕易找到連接層間引洞，只要將層間引洞連接到第四層金屬層24再利用電路通道，就可以達成連接目的，而不用在各金屬層間上上下下找路，以減少變更率。在一實施例中，甚至可留一層金屬層以專供修改時使用，如此除了可在修改容易與改變光罩數最少間取得一平衡外，下層不用修改的部分還可以先行製造，爭取出貨的時間。

綜上所述，本發明在電路設計時在電路元件端點就設置有電路通道，不但在電路模擬階段可以增加佈局的彈性，更在下線後需要更改線路佈局時，可以簡化佈局難度並且使改變的金屬層最少，意即改變光罩數最小。由於晶圓廠的計費是根據光罩數而非以光罩的設計，所以利用本發明不會增加下線時的支出，並且可以在修改時節省研發成本。

唯以上所述者，僅為本發明之較佳實施例，當不能以之限制本發明的範圍。即大凡依本發明申請專利範圍所做之均等變化及修飾，仍將不失本發明之要義所在，亦不脫離本發明之精神和範圍，故都應視為本發明的進一步實施狀況。



圖式簡單說明

【圖式簡單說明】

圖一係為積體電路的設計流程圖

圖二係為傳統積體電路之電路修改示意圖

圖三係為本發明積體電路之電路修改示意圖

圖四A係為傳統連線技術具體實施例

圖四B係為本發明連線技術具體實施例

圖號說明：

1- 基板

11、12- 節點

21- 第一金屬層

22- 第二金屬層

23- 第三金屬層

24- 第四金屬層

25- 第五金屬層

31- 第一絕緣層

32- 第二絕緣層

33- 第三絕緣層

34- 第四絕緣層

41、42、43- 連接線

51- 第一金屬層與第二金屬層的層間引洞

52- 第二金屬層與第三金屬層的層間引洞

53- 第三金屬層與第四金屬層的層間引洞

54- 第四金屬層與第五金屬層的層間引洞



圖式簡單說明

71 、 72 、 73 、 74 、 75 、 76 - 電 路 通 道



六、申請專利範圍

1. 一種積體電路(integrated circuit, IC)結構，係利用在一標準元件(Standard Cell)中，包括有：

一基板(Substrate)，包括有複數個電路元件；

以及

m層金屬層(Metal)，在該基板之上，作為電路元件連線佈局(layout)使用，每一金屬層更包括一絕緣層(isolation layer)，使金屬層間電性絕緣；

其特徵在於至少有一電路元件之一端點有一電路通道，其中，該電路通道係由基板開始延伸n個金屬層，其中n大於1且n小於m+1，使各金屬層之任一連接線可利用該電路通道與該端點連接。

2. 如申請專利範圍第1項所述之積體電路結構，其中每一電路通道連通2層金屬層。

3. 如申請專利範圍第1項所述之積體電路結構，其中每一電路通道連通3層金屬層。

4. 如申請專利範圍第1項所述之積體電路結構，其中該電路通道可由複數個金屬層與複數個層間引洞(via)所構成。

5. 如申請專利範圍第1項所述之積體電路結構，該標準元件可組合成一智慧財產權元件(Intellectual Property, IP)。

6. 如申請專利範圍第1項所述之積體電路結構，該標準元件可組合成一智慧財產權元件資料庫(IP Library)。

7. 一種積體電路(integrated circuit, IC)佈局設計方



六、申請專利範圍

法，係利用於一標準元件(Standard Cell)中元件間的連接，該積體電路包括有一基板(Substrate)，該基板更包括有複數個電路元件； m 層金屬層(Metal)，在該基板之上，作為電路元件連線佈局(layout)使用，每一金屬層更包括一絕緣層(isolation layer)，使金屬層間電性絕緣；積體電路佈局設計方法包括有以下步驟：

在一電路元件的一端點設置一電路通道，該電路通道係由基板開始至少連通兩層金屬層；以及

將需要與該端點電性連接的線，藉由連接該電路通道以連接該端點。

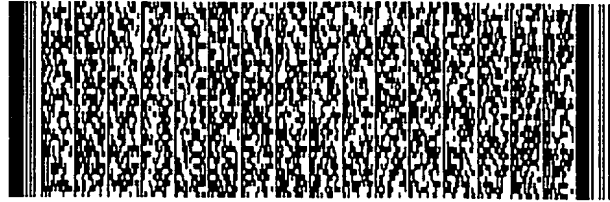
8. 如申請專利範圍第7項所述之積體電路佈局設計方法，其中該電路通道連接2層金屬層。
9. 如申請專利範圍第7項所述之積體電路佈局設計方法，其中該電路通道連接3層金屬層。
10. 如申請專利範圍第7項所述之積體電路佈局設計方法，可將該標準元件與一智慧財產權元件(Intellectual Property, IP) 連接。
11. 如申請專利範圍第7項所述之積體電路佈局設計方法，可將該標準元件與一智慧財產權元件資料庫(IP Library) 連接。



第 1/16 頁



第 2/16 頁



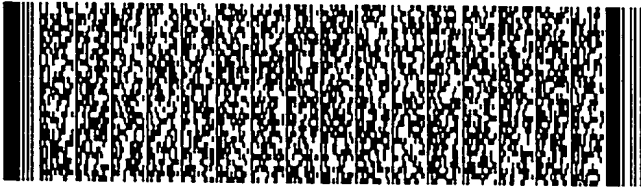
第 3/16 頁



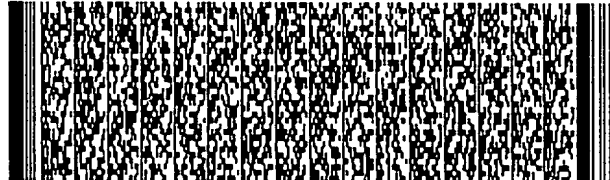
第 4/16 頁



第 5/16 頁



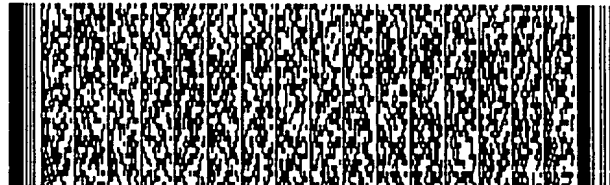
第 5/16 頁



第 6/16 頁



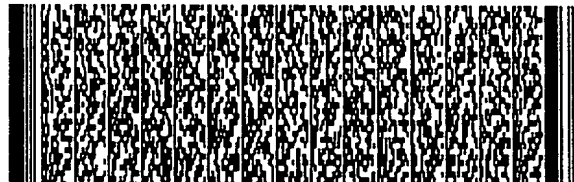
第 6/16 頁



第 7/16 頁



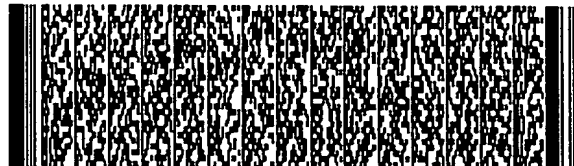
第 7/16 頁



第 8/16 頁



第 8/16 頁



第 9/16 頁



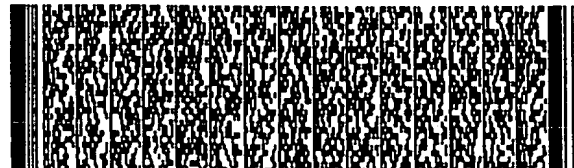
第 9/16 頁



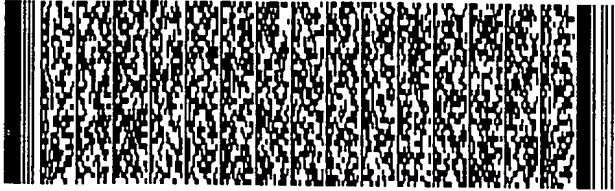
第 10/16 頁



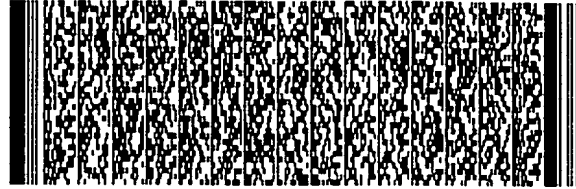
第 10/16 頁



第 11/16 頁



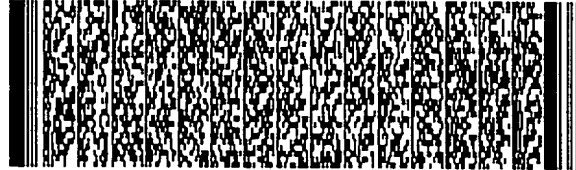
第 11/16 頁



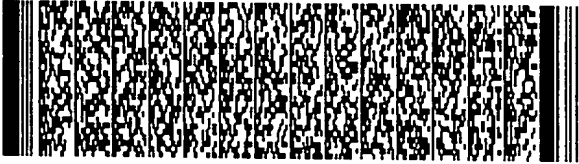
第 12/16 頁



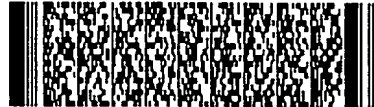
第 12/16 頁



第 13/16 頁



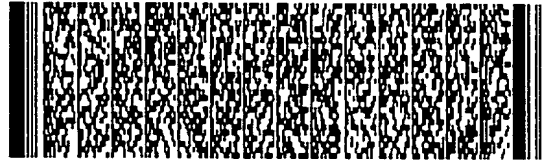
第 14/16 頁



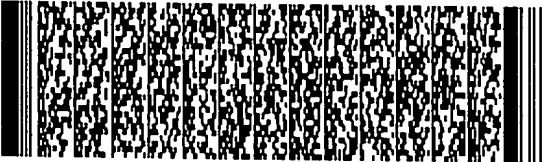
第 15/16 頁



第 15/16 頁



第 16/16 頁



第 16/16 頁



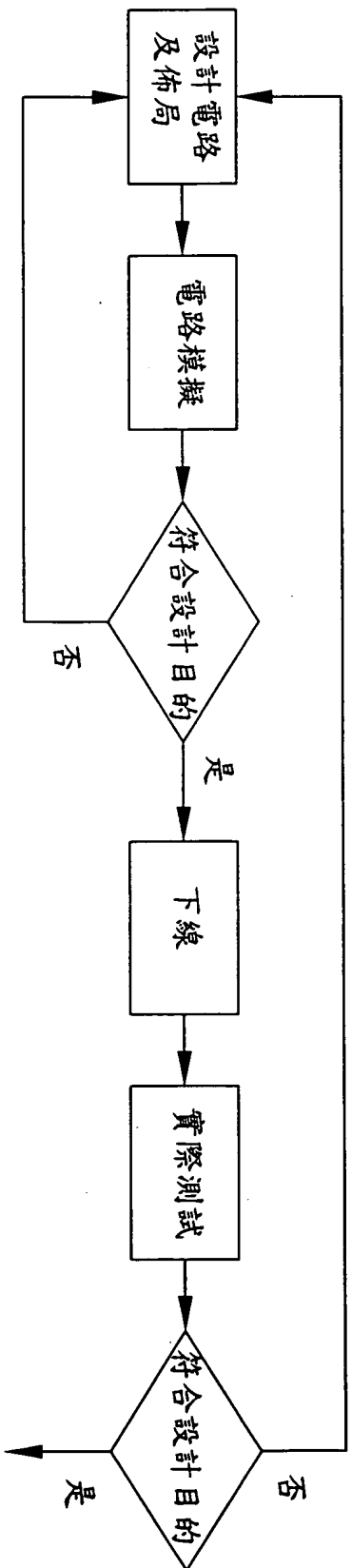
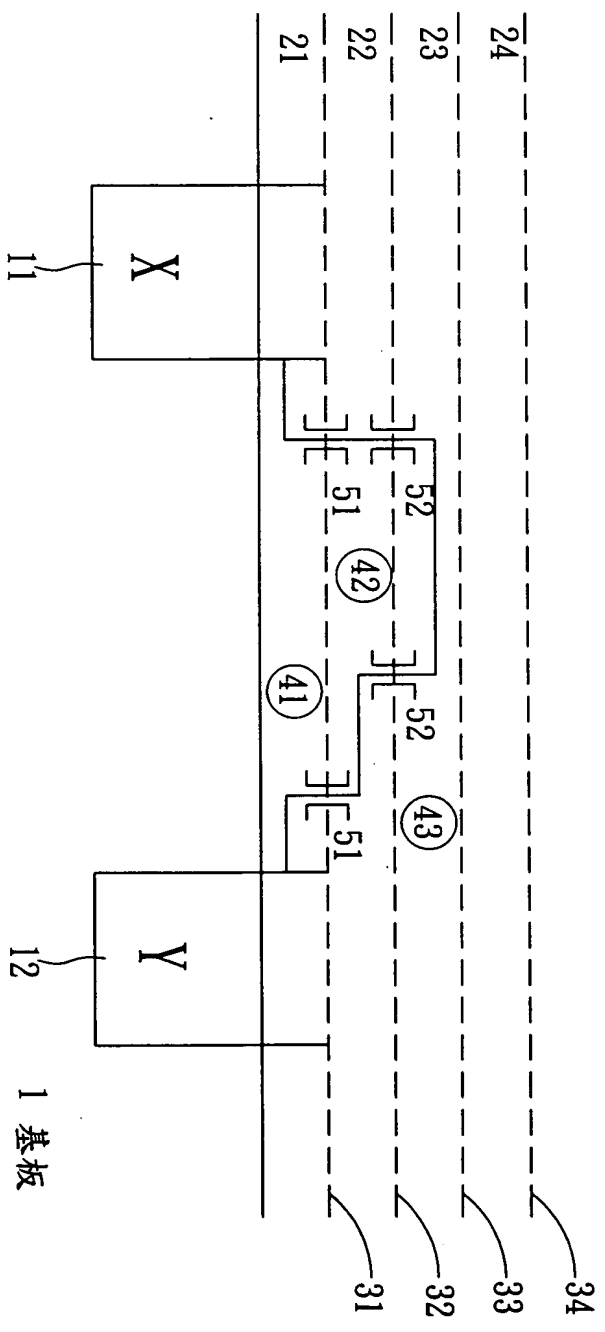
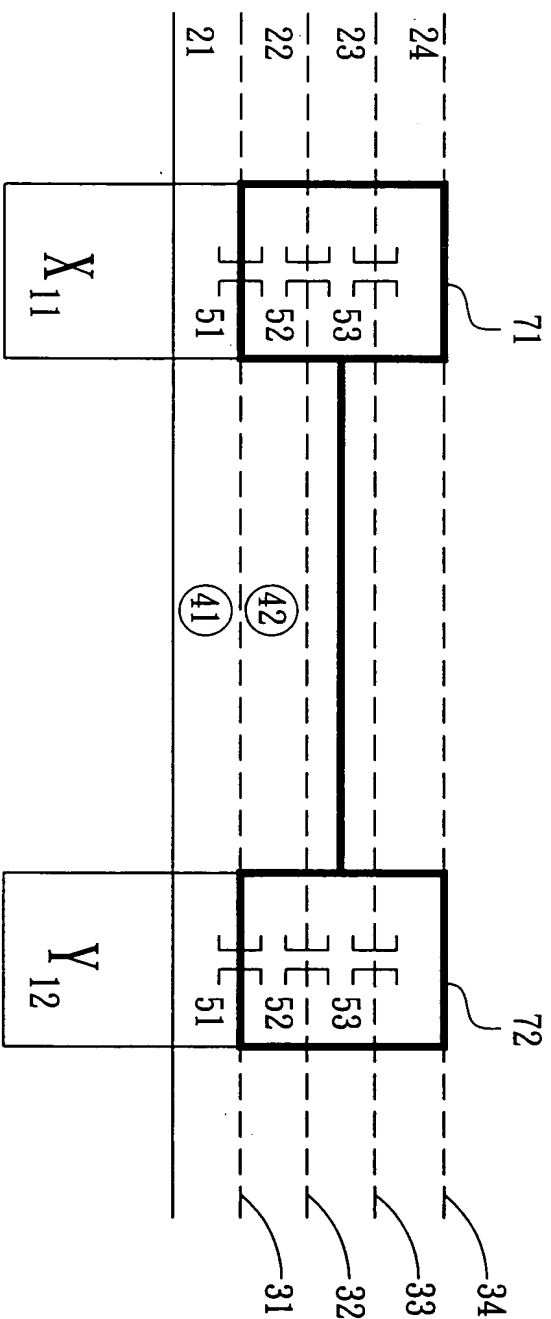


圖 一



圖二



1 基板

圖 三

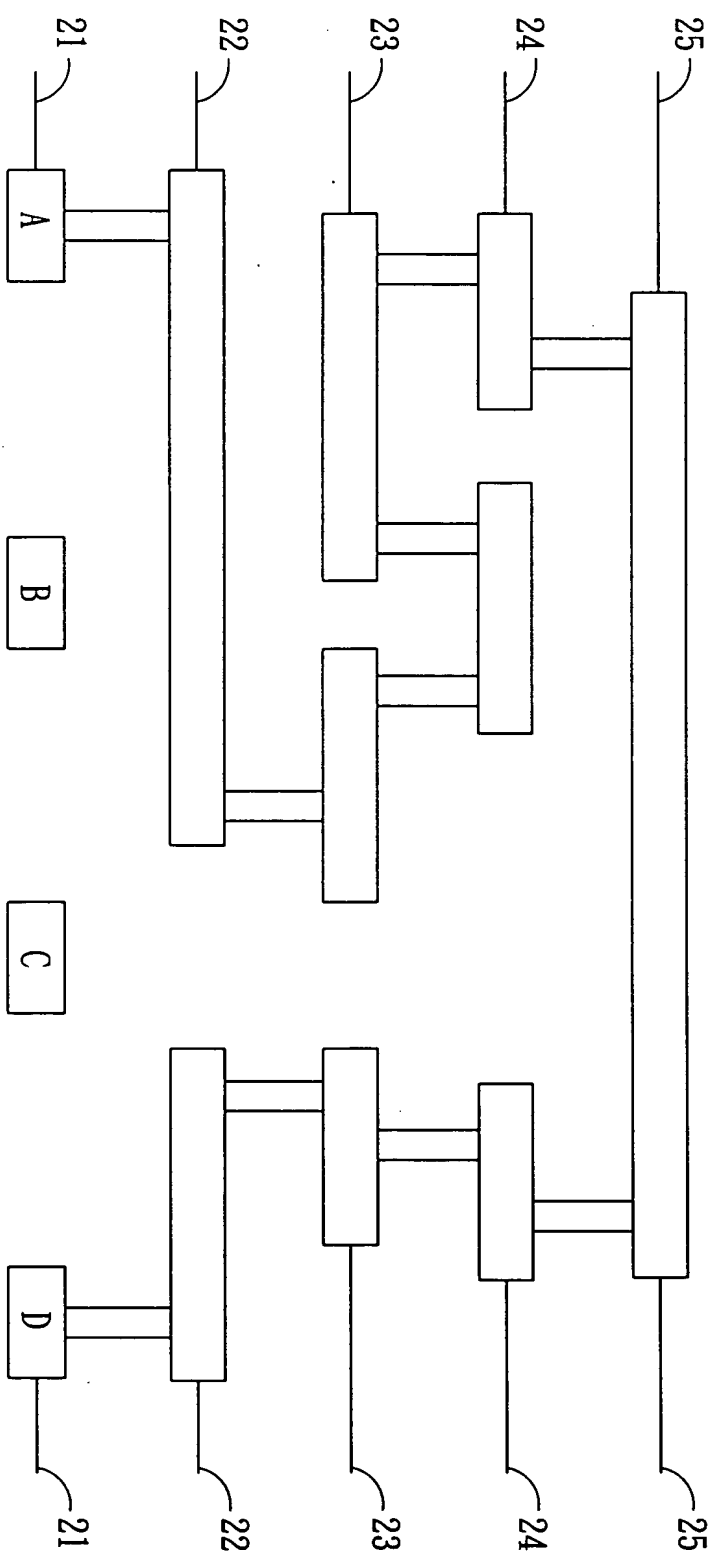
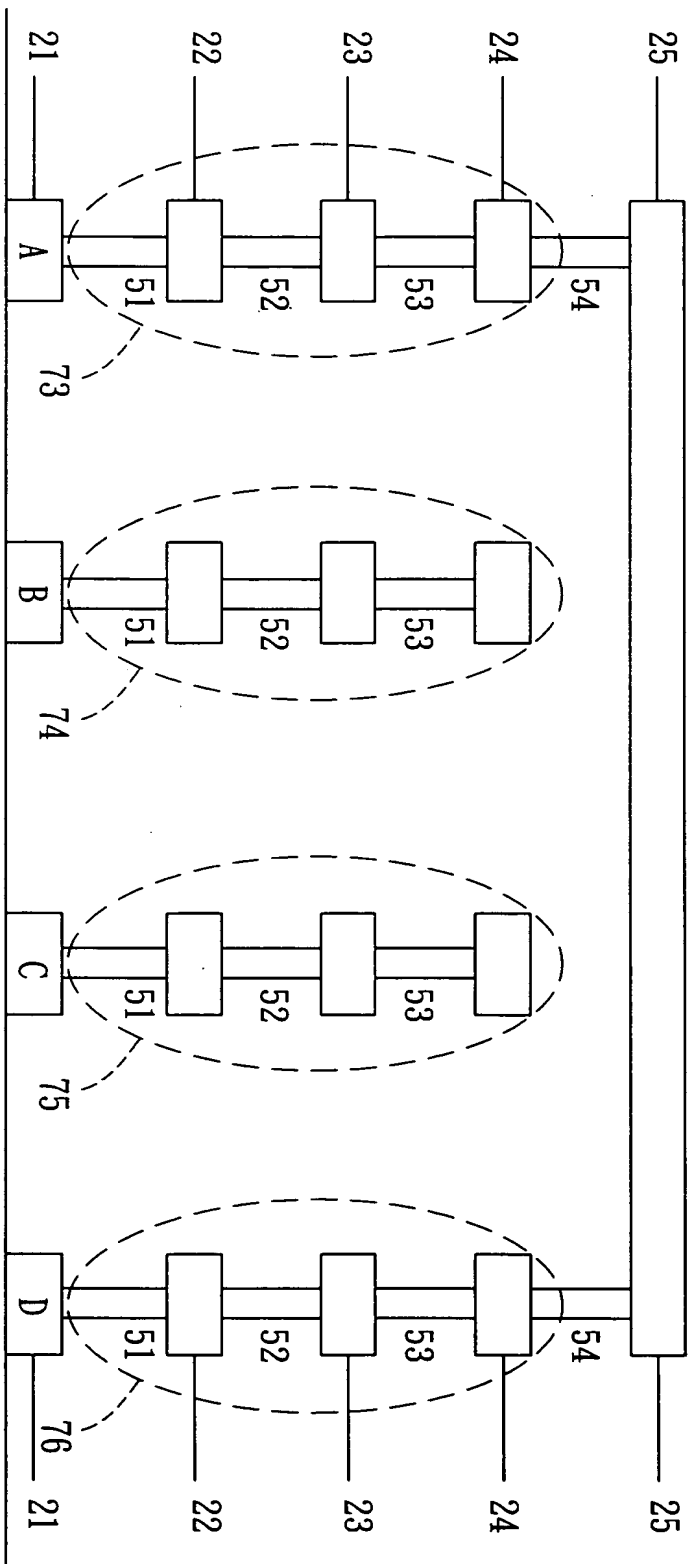


圖 四 A



1 基板

圖 四 B